

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭60-165873

⑬ Int.Cl.

H 04 N 1/40

識別記号

104

庁内整理番号

7136-5C

⑭ 公開 昭和60年(1985)8月29日

審査請求 未請求 発明の数 1 (全10頁)

⑮ 発明の名称 納点発生器のアドレス発生方法

⑯ 特 願 昭59-23705

⑰ 出 願 昭59(1984)2月9日

⑱ 発明者 生田 国男 長岡京市調子1-8-4

⑲ 出願人 大日本スクリーン製造 京都市上京区堀川通寺之内上る4丁目天神北町1番地の1  
株式会社

⑳ 代理人 弁理士 福井 豊明

Best Available Copy

明細書

1. 発明の名称

納点発生器のアドレス発生方法

2. 特許請求の範囲

(1) 画像走査記録装置のスクリーンパターンメモリから納点信号を取出すときに必要な該スクリーンパターンメモリのアドレス  $X_A$   $Y_A$  をスクリーン角度に応じて算出する式

$$X_A = y_n \cdot \Delta X + x_n \cdot \Delta X$$

$$Y_A = y_n \cdot \Delta Y + x_n \cdot \Delta Y$$

$y_n$  : 主走査方向の位置 (マイクロピクセル数)

$x_n$  : 副走査方向の位置 (マイクロピクセル数)

更にスクリーン角度を  $\theta$  、1マイクロピクセルの1辺の長さを  $P$  、感光材料上のスクリーン単位区画の1辺の長さを  $B$  、スクリーンパターンの1方向へのアドレス数を  $m$  とすると、

$$\Delta X = -P \sin \theta / \frac{B}{m}$$

$$\Delta Y = P \cos \theta / \frac{B}{m}$$

$$\begin{cases} \Delta X = P \cos \theta / \frac{B}{m} \\ \Delta Y = P \sin \theta / \frac{B}{m} \end{cases}$$

の右辺の各項の主走査方向および副走査方向の位置に対応する値をルックアップテーブルメモリに収納しておき、主走査および副走査位置をカウントする手段からの情報に応じて、上記ルックアップテーブルメモリから対応する値を取出して加算して納点発生器のアドレスとするこれを特徴とする納点発生器のアドレス発生方法。

(2) 前記右辺各項の値が  $m$  進数であることに鑑みて、 $y_n \cdot \Delta X = r_1$ ,  $x_n \cdot \Delta X = r_2$ ,  $y_n \cdot \Delta Y = r_3$ ,  $x_n \cdot \Delta Y = r_4$

とすると

$$0 \leq r_1, r_2, r_3, r_4 < m$$

なる  $r_1, r_2, r_3, r_4$  の値を主走査方向位置  $y_n$  、副走査方向位置  $x_n$  の値に応じて記憶装置に収納した特許請求の範囲第1項に記載の納点発生器のアドレス発生方法。

(3) 前記右辺各項の値  $r_1, r_2, r_3, r_4$  が等差級数であることに鑑みて、該値を I 行 J 列のマ

トリクスに並べた場合の第1行目と第1列目のみを記憶装置に収納しておき、E行F列(E, Fは $0 \leq E < I - 1$ ,  $0 \leq F < J - 1$ なる整数)の $x_{ij}$ の値は

$$x_{11} + x_{12}$$

$$\left. \begin{array}{l} x_1 \text{ は } x_1, x_2, x_3, x_4, x_{11}, x_{12} \text{ は } x_{11}, \\ x_{12}, x_{21}, x_{22}, x_{31}, x_{32}, x_{41}, x_{42} \\ \text{であり, } x_{11} = EJdX \quad x_{12} = FdX \\ x_{21} = EJdX \quad x_{22} = FdX \\ x_{31} = EJdY \quad x_{32} = FdY \\ x_{41} = EJdY \quad x_{42} = FdY \end{array} \right\}$$

なる加算で求める特許請求の範囲第1項及び第2項に記載の網点発生器のアドレス発生方法。

(4) 前記 $x_{11}$ ,  $x_{12}$ の値が $m$ 進数であることに鑑みて

$$0 \leq x_{11}, x_{12} < m$$

なる値を記憶装置に収納した特許請求の範囲第8項の網点発生器のアドレス発生方法。

### 3. 発明の詳細な説明

この発明は網点発生器のアドレス発生方法に関する

するものであり、特に上記アドレス発生に必要な演算項目をルックアップテーブルメモリに収納して演算の簡略化を図った上記方法に関するものである。

画像走査記録装置を用いて電子的に色分解版フィルムを作る場合には、例えば第1図に示す如く原稿ドラム(1)に貼付けられた原稿△を入力ヘッド(3)で光電走査することによつて画像信号を得る。次に該画像信号を色演算回路(5)で色修正、階調修正等をした信号と網点発生器(7)からの網点信号とを比較器(6)で比較して露光制御信号を得る。更に該露光制御信号を出力ヘッド(8)に入力して記録ドラム(2)に貼付けられた感光材Bへの露光を制御する様になつてゐる。尚上記網点発生器(7)には、後述第5図に示す如くの回路から、主走査方向及び副走査方向の位置を示す信号 $x$ ,  $y$ が与えられている。

上記網点発生器(7)は光学的手段を用いて色分解版フィルムを作る場合に使用するボケ網点パターンで構成されるコンタクトスクリーンH8と等価

である。すなわち網点発生器(7)内のスクリーンパターンメモリ即ち第2図(A)に示す如くコンタクトスクリーンのボケ網点パターンを構成する微小点の濃度に対応したしきい値が記憶されており、該しきい値を感光材料上の記録位置に対応するアドレスが与えられたときに前記比較器(6)に呼出す。該比較器(6)はしきい値より画像信号が低レベルであるときは感光材を露光しない様に記録ヘッド(8)に指示をし、逆にしきい値より画像信号が高レベルであるときは感光材料を露光する様に指示するのである。

網点スクリーンは第2図(A)の如くの網点パターンが縦横に多数列配列されているのであるから上記網点パターンメモリ即ち各しきい値も主走査及び副走査方向への記録ヘッド(8)の進行に伴つて周期的に繰返し呼出されることになる。

ところでY(イエロー)、M(マゼンタ)、C(シアン)、B(ブラック)の各色分解版に対するスクリーン角度を全部同じにするとモアレパターンが発生して印刷の質を低下せしめるととは從

来からよく知られている。そこで各版に対するスクリーン角度は第3図に示す如く例えばM版に対して $-15^\circ$ 、C版に対して $15^\circ$ 、Y版に対して $0^\circ$ 、B版に対して $45^\circ$ の角度 $\theta$ を時計にしている。

画像走査記録装置を用いて特定のスクリーン角度 $\theta$ を持つた網点信号を発生させるためには前記主走査、副走査系の位置( $x_n$ ,  $y_n$ )をスクリーン角度 $\theta$ を持たせたときの網点スクリーンの位置 $X - Y$ に変換する必要がある。

その基本式は

$$\left. \begin{array}{l} X = -y_n \cdot \sin \theta + x_n \cdot \cos \theta \\ Y = y_n \cdot \cos \theta + x_n \cdot \sin \theta \end{array} \right\} \quad (1)$$

で与えられる。

前述(1)式を用いてスクリーン角度 $\theta$ を与える網点を形成する方法として特開昭55-6898に於ける前述の座標変換式を直接演算する方法が開示されている。すなわち前述の式(2)の $y_n$ ,  $x_n$ 両方向のそれぞれの要素を掛算器を用いて算出した後に加え合わせるものである。しかしながらこの方法は掛け算器の桁数が大きくなりコストアップになる

難点がある。また同55-6898には主走査方向と副走査方向の画素数が更新されるごとに2式を構成する各項目を順次直線的に増加させ、その後 $x_n$ に関する項と $y_n$ に関する項を加え合わせる様にする方法も開示されている。

しかしながらこの方法でも上記直線的に増加させる回路を用いる必要があり、この際累積誤差を軽減させるため大きなデータを取扱わねばならず構成が複雑になる傾向があつた。

この発明は上記従来の事情に鑑みて提案されたものであつて前記座標変換の為の計算回路が極めて簡単となる網点発生器のアドレス発生方法を得ることを目的とするものである。その要点とするところは前記(2)式の主走査副走査座標系( $x_n, y_n$ )に対する右辺各項をスクリーン角度 $\theta$ に対応させて予め計算しておいてメモリに記憶させておきスクリーン角度 $\theta$ と特定の $x_n, y_n$ が与えられたときに該メモリの値を読出して加算によってのとく( $X_A, Y_A$ )座標を求めるにある。

すなわちひとつのスクリーンパターンの1辺の

長さを第2図(A)に示す如く $S$ とし、更にその長さ $S$ を $m$ 分割して形成される $\frac{S}{m} \times \frac{S}{m}$ のエリアに相当する大きさをスクリーンパターンメモリを構成する最小単位ドットの大きさとする。また第2図(B)に示すように露光する最小単位(以後「マイクロピクセル」という)の大きさを $P \times P$ とし、後述するスクリーン角度 $\theta$ を零とすると、記録ヘッド(8)が1マイクロピクセルずつ進行する(記録ドラムが回転する)たびに1マイクロピクセル毎のアドレス、即ち第2図(B)に示す如く $y_n, x_n$ 番目のマイクロピクセルは第2図(A)における $y_n \cdot \frac{P}{S}, x_n \cdot \frac{P}{S}$

$x_n \cdot \frac{P}{S}$  値に対応するスクリーンパターンのしきい値が呼出される。

$y_n, x_n$ が増加すると、ひとつのスクリーンパターンを超えて次のスクリーンパターンに入つて行くが、スクリーンパターンは同一のパターンが繰返し用いられて、 $y_n \cdot \frac{P}{S}, x_n \cdot \frac{P}{S}$  が各々 $m$ を超える毎にスクリーンパターンアドレスは、 $m$

を引いて常に $0 \sim (m-1)$ の値をとる。(例えば後の実施例では、256進数でアドレス値は $0 \sim 255$ の値をとる。)

従つて前記スクリーン角度 $\theta$ を持たせたときの位置 $X, Y$ に対応するパターンメモリのアドレス $X_A, Y_A$ は

$$\left. \begin{aligned} X_A &= y_n \cdot \frac{P}{S} \cdot \sin \theta + x_n \cdot \frac{P}{S} \cdot \cos \theta \\ Y_A &= y_n \cdot \frac{P}{S} \cdot \cos \theta + x_n \cdot \frac{P}{S} \cdot \sin \theta \end{aligned} \right\}$$

で与えられる。

上記(2)式に於て $x_n \cdot P \cdot \frac{S}{m}$  と $y_n \cdot P \cdot \frac{S}{m}$  が前述の如く周期性を有しているのであるから、右辺各項は当然周期性を有している。

まず原理について説明する。

前記(2)式を簡単にするため、下記(3)式の如くに書き換える。

$$\left. \begin{aligned} X_A &= y_n \cdot d_x + x_n \cdot d'_x \\ Y_A &= y_n \cdot d_y + x_n \cdot d'_y \end{aligned} \right\} \quad (3)$$

$$\text{ただし } d_x = -\frac{P}{S} \sin \theta$$

$$-\frac{P}{(S)} \sin (180^\circ - \theta)$$

$$d'_x = \frac{P}{(S)} \cos \theta$$

$$d_y = \frac{P}{(S)} \cos \theta$$

$$d'_y = \frac{P}{(S)} \sin \theta$$

上記(3)式に於て右辺を構成するそれぞれの項が予め判つていると、 $X_A, Y_A$  はそれぞれ加算のみで求められる。従つて上記各項の値を予め計算しておいてその値を記憶装置に収納しておき特定位置を露光するときにその位置に対応する前記各項の値を記憶装置から読出して加算だけ行うことによつて変換されたアドレス $X_A, Y_A$  を求めることができるわけである。

更に上記(3)式の右辺各項は $(x_n \cdot P \cdot \frac{S}{m})$ 、 $(y_n \cdot P \cdot \frac{S}{m})$  が前述の如く周期性を有しているのであるから記憶装置には下記のように桁上げを無視した値 $r_1(1:1, 2, 8, 4)$ を記憶する様に

しておくとメモリの容量を小さくできる。すなわち  $y_n \cdot \Delta x : r_1, y_n \cdot \Delta x : r_2, y_n \cdot \Delta x : r_3, y_n \cdot \Delta x : r_4$  とするとき、該  $r_1, r_2, r_3, r_4$  として

$$0 \leq r_1, r_2, r_3, r_4 < m$$

なる範囲の値のみを考慮すればよいことになる。

以上の基本的な事項に基づいて計算した例を第4図に示す。

第4図はスクリーンパターンの1辺の長さ8を16行16列に細分する場合であつて更に1ピクセルの1辺の長さRは  $\frac{\sqrt{10}}{16}8$  、スクリーン角度θは  $\theta = \tan^{-1} \frac{1}{8}$  なる条件で算出したものである。上記算出値は主走査軸(y)、副走査軸(x)上の各画素位置  $x_n, y_n$  と対応して記述されている。この第4図に於て例えば  $x_n = 10, y_n = 10$  すなわち原点から主走査方向副走査方向に10ピクセルの位置の変換アドレスXA、YAは

$$XA = y_n \Delta x + x_n \Delta x = r_1 + r_2 = 6 + 14 = 20$$

$$YA = y_n \Delta y + x_n \Delta y = r_3 + r_4 = 14 + 10 = 24$$

XA、YAは桁上げを考慮する必要のない16進数であるから  $XA = 4, YA = 8$  なるアドレス値を得

ことができる。

上記第4図では座標を簡単にため各値が有理数になる様に条件を設定したが実際には無理数である場合が多い。また実際には後に例示するよ

うにPの大きさはより小さく設定し、スクリーンパターンはより細かく分割しておくことが望ましい。

この方法において例えば記録フィルム上のアドレス数  $64K \times 64K$  (1ピクセル  $10\mu$  とすれば  $64mm \times 64mm$ ) 程度である場合、第4図に示す如く、座標点各々についてスクリーンパターンアドレス(ワード)を記憶すると、4096Mワード( $64K \times 64K$ )のメモリ容量が必要になるのが本発明の第1の実施例では  $64K$  ワードが4個程あればよい。

以上のように用いた場合、露光面上のすべての位置  $(x_n, y_n)$  に対応する前記4つの値をY、M、O、K、4版分算出して記憶させようとすると4倍の容量のメモリ装置とすればよい。

さらに第2の実施例として以下の方法を用いて

容量の低減を行う。すなわち上記  $y_n \Delta x, x_n \Delta x$  等は  $x_n$  又は  $y_n$  が0又は正の整数であるので等差級数である。従つて例えば  $y_n \Delta x$  を下記マトリクス1の如くI行にJ列配列して考慮すれば明らかに如くE行、F列目の  $y_n \Delta x$  及びE行F列目の  $x_n \Delta x$  の値は下記(4)式を用いて計算することができる。

$$y_n \Delta x = EJAx + FAx$$

$$x_n \Delta x = BJAx + FDx$$

$$0 \leq E \leq I - 1 \quad 0 \leq F \leq J - 1$$

(4)式は前述の如く、  $EJAx : r_{11}, FAx : r_{12}, BJAx : r_{21}, FDx : r_{22}$  とすれば  $r_1 = r_{11} + r_{12}, r_2 = r_{21} + r_{22}$  となり  $0 \leq r_{11}, r_{12}, r_{21}, r_{22} < m$  である。

マトリクス1

0	1	$2 \cdots \cdots \cdots F \cdots \cdots J - 1$
0	$JAx$	$2JAx \cdots \cdots EAx \cdots (J-1)Ax$
1	$(J+1)Ax$	$(J+2)Ax \cdots \cdots (2J-1)Ax$
2	$2JAx$	$(2J+1)Ax \cdots \cdots (8J-1)Ax$
E	$EJAx$	$\cdots \cdots \cdots \cdots (EJ-1)Ax$
F	$FAx$	$\cdots \cdots \cdots \cdots (FJ-1)Ax$
I-1	$(I-1)Ax$	$((I-1)J+1)Ax, ((I-1)J+2)Ax, \cdots \cdots (IJ-1)Ax$

従つて記憶装置には第1行目の値と第1列目の値のみを記憶させておきその他の値は上記(4)式に従つて加算で求める様にすると、記憶装置の容量を低減することができる。

更に前記I・J個のK倍の個数のデータについても以下のマトリクス2を考えることができる。

## マトリクス 2

$$\begin{array}{ll}
 0 & 1 \quad 2 \cdots \cdots H \cdots \cdots I \ J - 1 \\
 0 & 0 \ A \ X \quad 2 \ A \ X \cdots \cdots H \ A \ X \cdots (I \ J - 1) \ A \ X \\
 1 & I \ J \ A \ X \ (I \ J + 1) \ A \ X \ (I \ J + 2) \ A \ X \cdots \cdots (2 \ I \ J - 1) \ A \ X \\
 2 & 2 \ I \ J \ A \ X \ (2 \ I \ J + 1) \ A \ X \ (2 \ I \ J + 2) \ A \ X \cdots \cdots (8 \ I \ J - 1) \ A \ X \\
 \vdots & \vdots \quad \vdots \quad \vdots \quad \vdots \quad \vdots \quad \vdots \quad \vdots \\
 G & G \ I \ J \ A \ X \ \cdots \cdots \cdots \cdots \cdots \cdots G \ I \ J \ A \ X + H \ A \ X \ \cdots \cdots \cdots \cdots \cdots \cdots \\
 K - 1 & (K - 1) \ I \ J \ A \ X, (K - 1) \ I \ J - H \ A \ X, (K - 1) \ I \ J + 2 \ A \ X, \cdots \cdots (I \ J - 1) \ A \ X
 \end{array}$$

このマトリクスに於ても前記同様 G 行 H 列の  $y_n \cdot A \ X$  値は  $G \ I \ J \ A \ X + H \ A \ X$  なる加算で求めることができる。更に上記マトリクスの最初の行の各値は前述の(4)式の加算で得ることができる。あるから結果として、例えば  $H \ A \ X = H \ J \ A \ X + F \ A \ X$  であるとすると  $y_n \cdot A \ X = E \ J \ A \ X + F \ A \ X + G \ I \ J \ A \ X$  なる加算で目的とする値を求めることができるわけである。従つてこの方法をくり返し用いることにより記憶装置の容量も著しく低減することができる。例えば  $8 \ 2 \times 8 \ 2 \times 6 \ 4 = 6 \ 5 \ 5 \ 8 \ 6$  個のデータ

を必要とする場合、前記マトリクス 2 に於て  $I = 3 \ 2$ 、 $J = 8 \ 2$ 、 $K = 6 \ 4$  とすれば 128 個のデータを記憶装置に記憶させておけばよいことになる。

第 5 図は第 6 図に示すとの発明を実施する回路に於て主走査方向及び副走査方向の座標値(ピクセル数)  $y_n$ 、 $x_n$  及び、その他の第 6 図の回路を制御するに必要な信号を供給する回路の実施例である。すなわちモータ 40 で駆動される記録ドラム 41 と同軸に取付けられた主走査エンコーダ 42 からは上記記録ドラム 41 が 1 回転する間に多数回の一定間隔のパルスがが出力される。また副走査モータ 43 によつて駆動される露光ヘッド 44 の送りネジ 45 に取付けられた副走査エンコーダ 46 からはネジ 45 の回転に伴ない一定間隔のパルスがに出力される。前記パルスは PLL 回路 47 に入力され、主走査方向のマイクロピクセルと 1 : 1 で対応する主走査マイクロピクセルパルス V を出力する。また前記パルスは主走査方向位置検出器 48 にも入力され、露光ドラム 41 上の副走査方向に平行な特定ラ

イン(例えば A B )を露光点が通過したときにクリアパルス V0 と副走査マイクロピクセルパルス W を出力する。他方前記パルス V は副走査方向位置検出器 48 に入力され主走査方向と平行な特定ライン(例えば C D )を露光点が通過したときクリアパルス W0 を出力する。

第 6 図(A)の回路はこの発明を実施する回路を示すブロック図であり、スクリーンパターンメモリ 70 の X 方向アドレス XA を発生させる回路 49 と Y 方向アドレス YA を発生する回路の構成が示されている。前記第 5 図で得られた主走査方向ピクセルパルス V がカウンタ 50 に入力されてカウントされる。該カウンタ 50 のカウント値が(3)式における  $y_n$  の値となる。更に副走査マイクロピクセルパルス W はカウンタ 50 でカウントされ、該カウンタ 50 の副走査方向位置(又はピクセル数)を示すエヌとなつて該カウンタ 50 から記憶装置 51 に入力される。記憶装置 51 には第(3)式における  $x_n \cdot A \ X$  が予め記憶されており、加算器 52 によって第(3)式における X 方向アドレス XA が求められる。Y 方向アドレス発生回路 53 にも第(3)式における  $y_n \cdot A \ Y$  と  $x_n \cdot A \ Y$  を収納した記憶装置 54 及び 55 と两者からの出力を加算する加算器 56 とを備えて Y 方向アドレスを得る様になつてゐる。

次に第 6 図(B)においては同図(A)に用いた記憶装置 51 は加算器 52 に置き代えられ、第 4 式の加算ができる様になつてゐる。

同様に記憶装置 54 は記憶装置 (25a)(25b) と加算器 52 に記憶装置 55 はそれぞれ記憶装置 (32a)(32b)、加算器 56 と、及び記憶装置 (35a)(35b)、加算器 57 に置き代えられる。記憶装置 54 についても同様である。記憶装置 (22a) には前記マトリクス 1 の第 1 行目の  $F \ A \ X$ ( $F : 0 \sim J - 1$ ) 値に該当す

るデータが収納されており、又記憶装置(22b)には前記マトリクス1の第1列目の $EJAX$ (B:0~I-1)に相当するデータが収納されている。そして、前記記憶装置(22a)にはカウンタ $\Delta X$ から0~J-1の値が入力され、また記憶装置(22b)にはカウンタ $\Delta X$ から、前記記憶装置(22a)への値がJ以上になるごとに(桁上げがあるごとに)カウントアップされる0~(I-1)の値が入力される。この様にカウンタ $\Delta X$ から入力される主走査方向の位置を示す値 $yn$ に対応してマトリクス1ICに於ける $FAX$ の値が記憶装置(22a)から、又 $EJAX$ の値が記憶装置(22b)から加算回路 $\Sigma$ に入力され、該加算回路 $\Sigma$ では前記 $yn \cdot \Delta X = EJAX + FAX$ なる計算を行う。

一方、記憶装置(25a)にはマトリクス1と同様の4式の $xndX$ に関するマトリクスの第1行目の値( $F'AX$ )が記憶されており、又記憶装置(25b)には前記マトリクスの第1列目の値( $EJ'AX$ )が記憶されている。そして前記の如くカウンタ $\Delta X$ から入力される副走査方向の位置を示す値 $xn$ に従

つて、該記憶装置(25a)からは $F'AX$ の値が、また記憶装置(25b)からは $EJ'AX$ の値が加算回路 $\Sigma$ に入力され、該加算回路 $\Sigma$ で $F'AX + EJ'AX = xndX$ を行う。

以上の如くして求められた $yn \cdot \Delta X$ と $xn \cdot \Delta X$ とは加算回路 $\Sigma$ に入力され、該加算回路 $\Sigma$ で8式の如くに加え合わされて $XA$ を求める事ができるわけである。同様にしてY方向スクリーンパターンアドレス発生回路 $\Sigma$ から $YA$ を得ることができ、該アドレス $XA$ 、 $YA$ は網点発生器(7)のスクリーンパターンメモリ $\Sigma$ に供給される。スクリーンパターンメモリ $\Sigma$ から読み出されたパターンデータ $DP$ は第1図で説明した如く比較回路(6)に入力されて画像信号 $SP$ と比較され(6)からビーム制御信号 $OB$ が出力される様になつてている。バルス $VA$ はカウンタ $\Delta X$ のクリアを行い、バルス $WC$ はカウンタ $\Delta X$ のクリアを行う。

第6図の実施例に具体的な数値を入れて説明する。記憶装置(22a)(22b)(25a)(25b)(82a)(82b)(86a)(86b)の記憶容量をそれぞれ512ワード(1ワード9ビ

ット)とする。カウンタ $\Delta X$ のアドレスは18ビットであり $512 \times 512 = 262144$ から1ピクセル10μとすれば $2.62m$ の長さ $2.62m \times 2.62m$ の正方形の面積の位置指定ができる。

次に、第(2)式において $P = 10\mu$ 、 $S = 256\mu$ (1008/inchの網点相当)、 $m = 256$ 、 $\theta = 15^\circ$ とすると、第8式から

$$\begin{aligned} \Delta X &= -\Delta Y \\ &= -\frac{P}{S} \sin \theta = -\frac{P \times m}{S} \times \sin \theta \\ &= -\frac{-10\mu \times 256}{256\mu} \sin 15^\circ \\ &= -2.6085699 \dots \dots \quad (6) \end{aligned}$$

$$\begin{aligned} \Delta X &= -\frac{P}{S} \cos \theta \\ &= -\frac{P}{S} \cos 15^\circ \\ &= 9.7858154 \dots \dots \quad (6) \end{aligned}$$

$$\left. \begin{aligned} yndX &= EJAX + FAX \\ xndX &= EJ'AX + F'AX \end{aligned} \right\} \quad (4)$$

第(4)式(再掲)において、記憶装置(22a)(22b)(25a)(25b)の入力出力は各々 $EJ$ 、 $F$ 、 $EJ'$ 、 $F'$ 、 $FAX$ 、

$EJAX$ 、 $FAX$ 、 $EJ'AX$ に相当している。

原点(第5図における直線ABとODの交点)から主走査方向15cm、副走査方向10cmのメモリパターンのアドレス $XA$ は、第8式を用いて計算すると、

$$\begin{aligned} yn &= \frac{1.5cm}{10\mu} , xn = \frac{1.0cm}{10\mu} \text{ だから} \\ XA &= -\frac{1.5000}{10} \Delta X + \frac{1.0000}{10} \Delta X \quad (7) \end{aligned}$$

$\Delta X$ 、 $\Delta X$ は第5式、第6式に示されていて代入すると

$$\begin{aligned} XA &= -89128.548 \dots \dots 97853.154 \\ &= 582246 \dots \dots \end{aligned}$$

$XA$ が256進数であるので

$XA = 112.6$ であることがわかる。

一方第6図Bの実施例において $XA$ の値がいくらと求まるかを次に検討してみる。カウンタ $\Delta X$ の出力は $\frac{1.5cm}{10\mu} = 15000 = 512 \times 29 + 152$ であり、第4式における $P = 152$ 、 $B = 29$ IC相当する。

記憶装置(22a)のアドレス152には

$$152 \cdot \Delta X = 152 \times (-2.6085699 \dots \dots )$$

$$= -886.50262 \dots$$

256進数であるので

$$152 \cdot d_x = 115.4978 \dots$$

1W9ビットであるから115.5が記憶されている。(注: 256進数を512段階で表わすため、小数点以下1桁目が0又は5の何れかとなる。)同様にして記憶装置(25b)のアドレス側には

$$512 \times 29d_x = -8878.2045 \dots$$

256進数であるから

$$512 \times 29d_x = 179.955 \dots$$

であるから180.0が記憶されている。同様にカウント側の出力は

$$\frac{10}{10\mu} = 10000 = 512 \times 19 + 272$$

であり、第4式におけるF=272、E=19に相当する。

記憶装置(25a)のアドレス272には

$$272 \cdot d_x = 272 \times 9.7858154 \dots$$

$$= 2648.0057 \dots$$

256進数であるので

$$= 88.0057$$

$$\begin{aligned} X_A &= yndx + xndx \\ &= 39.5 + 73.0 \\ &= 112.5 \end{aligned}$$

となる。

网点発生器(7)へはXAアドレスとして112が入力されることになる。网点発生器(7)のXAアドレスを256進数8ビットにとつたのに対して加算回路は9ビットとして計算しているので誤差が少なくなっている。

もちろん、これらのビット数は実用上の精度要求とコストとのバランスを考えて最適になるよう選択すればよい。

前記第6図(B)の実施例に於ては更に第7図の如く記憶装置(22a)(22b)(25a)(25b)(26a)(26b)にY、M、O、K版に対するyn·dx、xn·dx (yn·dy、xn·dy)を記憶させる様にしておき版切換制御信号O8(例えば2ビット)で切換制御を行う様に構成すると例えば回転走査方向に複数波を記憶できる機種において、必要に応じて瞬時に切換えを行なつて露光しようとする色版の網

であるから88.0が記憶され、記憶装置(25b)のアドレス側には

$$\begin{aligned} 512 \times 19 \cdot d_x &= 512 \times 19 \times 9.7858154 \dots \\ &= 9470.5146 \end{aligned}$$

256進数であるので

$$= 241.146$$

であるから241.0が記憶される。

加算回路側において

$$\begin{aligned} yndx &= EJdx + FDx \\ &= 180.0 + 115.5 \\ &= 295.5 \end{aligned}$$

256進数であるから

$$= 89.5$$

加算回路側において

$$\begin{aligned} xndx &= E'dx + F'dx \\ &= 241.0 + 88.0 \\ &= 329.0 \end{aligned}$$

256進数であるから

$$= 73.0$$

加算回路側において

点データを読み出すことができる。

上記第6図は副走査方向に1ピクセルずつ露光する場合の実施例であるが副走査方向に複数ピクセルずつ同時に並列光束により露光する場合には第8図に示す如くの構成を用いる。副走査方向に同時露光されるピクセル数をZとして以下の説明をする。メモリ装置(25a)(25b)(26a)(26b)にZndx、Zndyなる値を取納しておくと、前述第6図で説明したと同様に各回路が作動し、加算器の側からは、それぞれXA=yn·dx+ZndxとYA=yndy+Zndyを得ることができる。スクリーンパターンメモリ71-1には上記出力が直接に該メモリのアドレスとして入力される。他のスクリーンパターンメモリ71-2…71-zにはレジスタ41-1…41-(z-1)、42-1…42-(z-1)及び加算器43-1…43-(z-1)を用いて以下のように算出されたアドレスが入力される。

すなわちレジスタ41-1…41-(z-1)にはそれぞれdxi…(z-1)dxiを、またレジス

$\alpha_1 \alpha_2 \cdots \alpha_n - (\beta_1 \beta_2 \cdots \beta_n)$  には  $\delta Y \cdots (z-1)$   $\delta Y$  を記憶させておいて加算器 $\alpha$ の出力である前記  $XAYA$  にそれを加えた値、すなわち  $X\bar{A} + \delta X, \dots, X\bar{A} + (z-1)\delta X, Y\bar{A} + \delta Y \cdots Y\bar{A} + (z-1)\delta Y$ を得ることができると想になつてゐる。

以上説明した如くこの発明はスクリーン角度の変更にともなうアドレス交換式を演算するに際して予め必要な値をメモリに収納することによつて加算のみで上記演算を行い得る様になつてゐるので演算に要する回路を極めて簡単にすることができるのである。

また上記値は周期性を有しているので桁上げを無視することによつてメモリ容量を低減させることができる。

更に上記値は等差級数であるのでマトリクスに並べた場合の最初の行と最初の列のみメモリに記憶させておき他の値は上記記憶させた値をもとに和算によつて求めることができるのでメモリ容量も極めて少なくなる利点がある。

#### 4. 図面の簡単な説明

第1図は画像走査記録装置の概要図、第2図は網点パターンの1例を示す図、第3図は感光材フィルムと網点スクリーンの関係を示す図、第4図は、この発明を用いて算出されたスクリーンパターンメモリの例、第5図はこの発明の方法の実施例図、第6図はこの発明の方法を実施する他の回路図、第7図はY、M、C、K版に対応するデータを取り出すメモリ装置を示す図、第8図は複数ピクセル同時露光の場合の実施例回路図である。

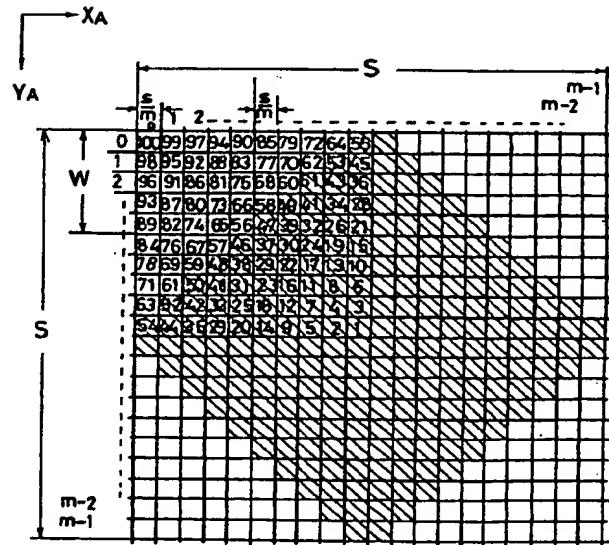
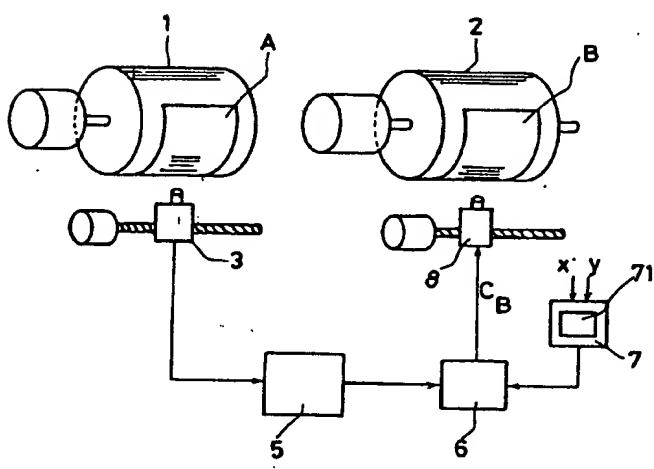
- (6)…比較器、 (7)…網点発生器、
- ⒶⒶ…アドレス発生回路、 ⒷⒷ…カウンタ、
- ⒶⒶⒶ…記憶装置、
- ⒶⒶⒶ…加算回路、
- Ⓐ…スクリーンパターンメモリ。

特許出願人 大日本スクリーン製造株式会社  
代理人 弁理士 福井豊明

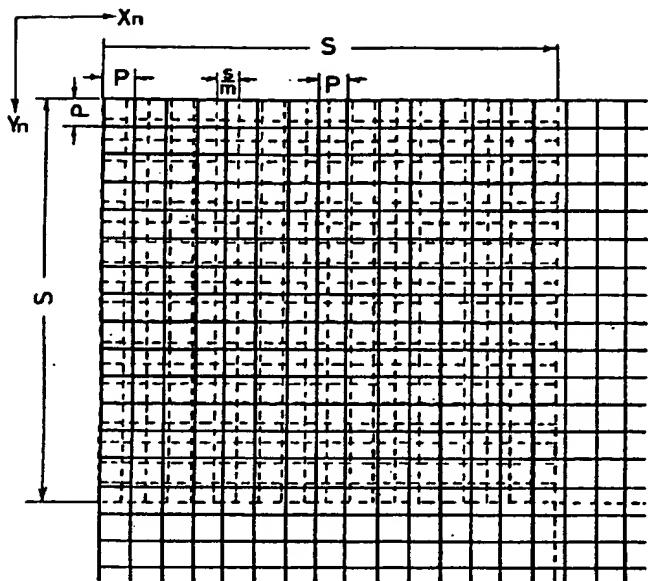


第2図(A)

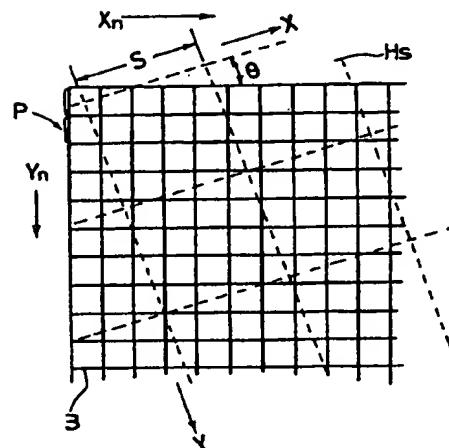
第1図



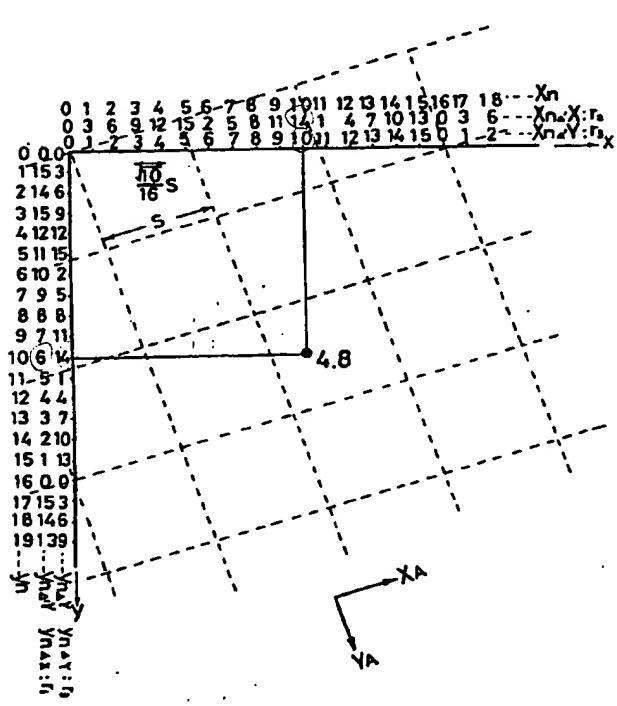
第2図(B)



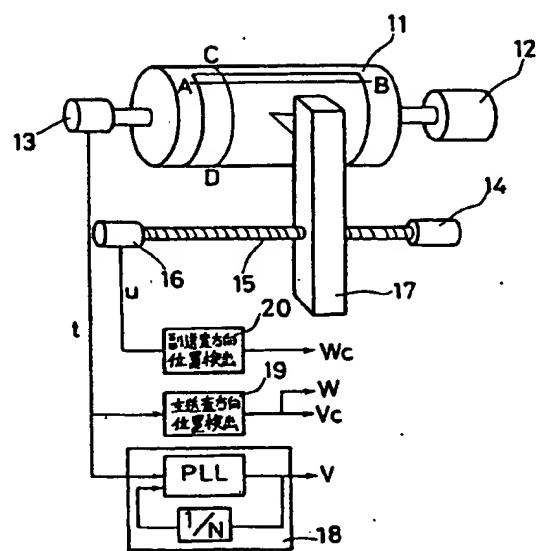
第3図



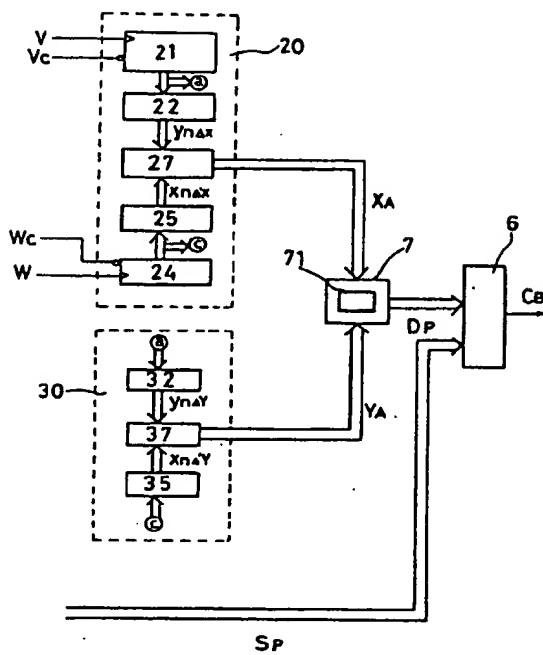
第4図



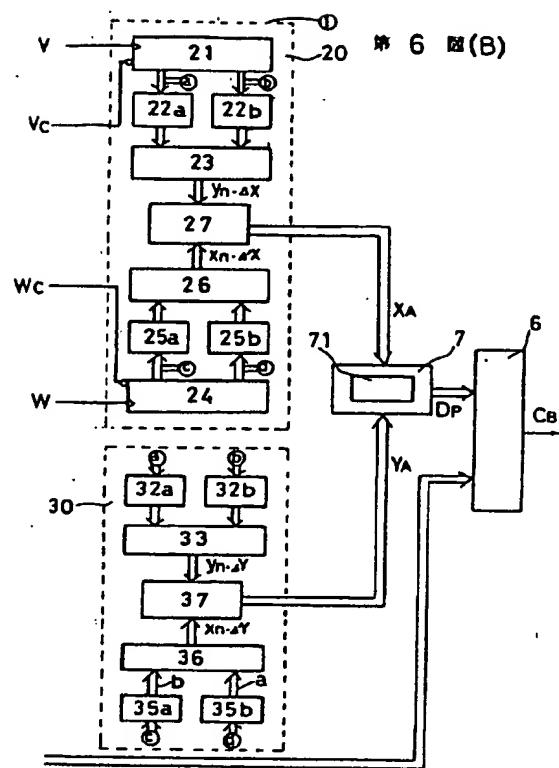
第5図



第6図(A)



第6図(B)



第7図

